

*Functional Safety ISO 26262 2<sup>nd</sup>*

**차량용 IC 의 정량적 평가를 위한**

**기본 고장율, 고장 모드, 고장 모드 분포율 산정 방안**

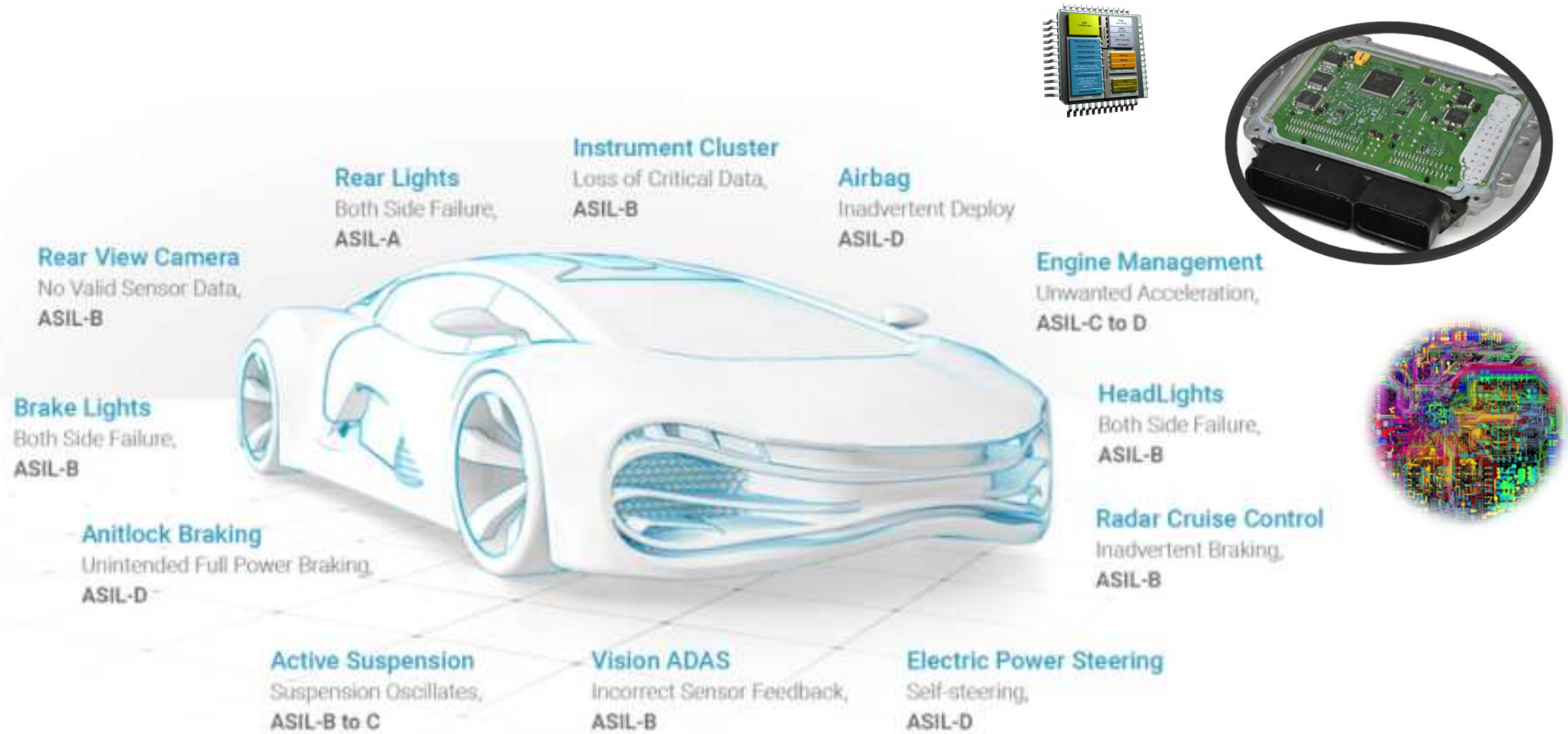
2020. 10

**spid**

**(주)에스피아이디**

# 1. 차량용 반도체의 기능안전 적용의 필요성

## ■ 차량 전자화의 가속

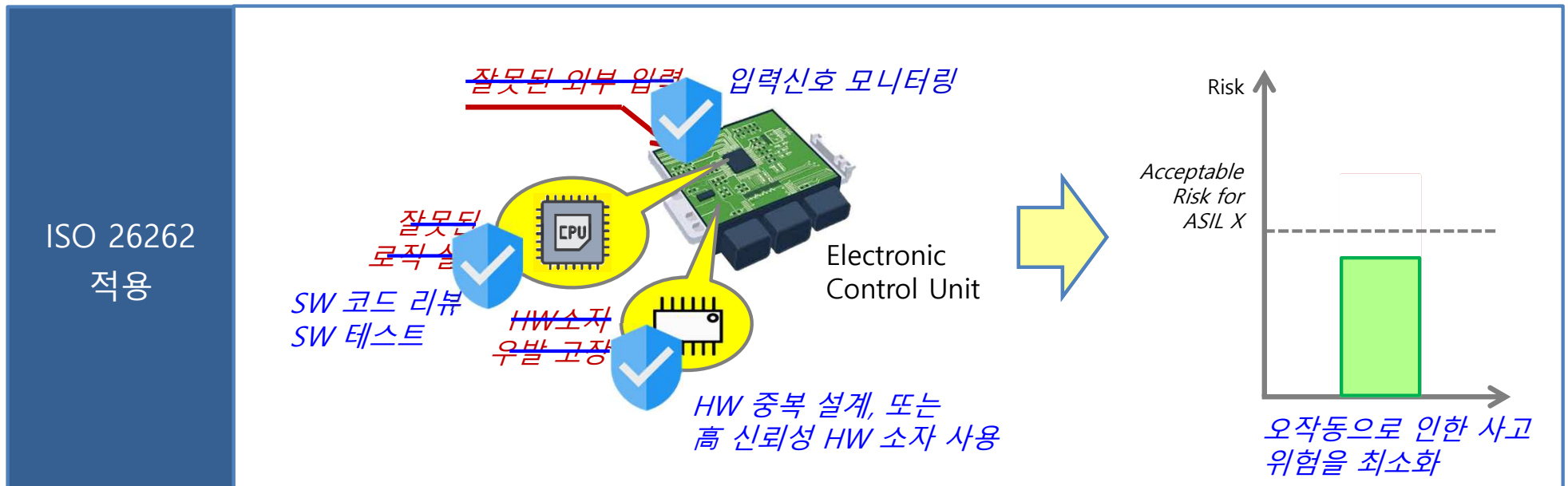


출처: <http://functionalsafety.be/iso-26262-explained/asil-examples/>

**ISO 26262**  
Road Vehicles - Fuctional Safety

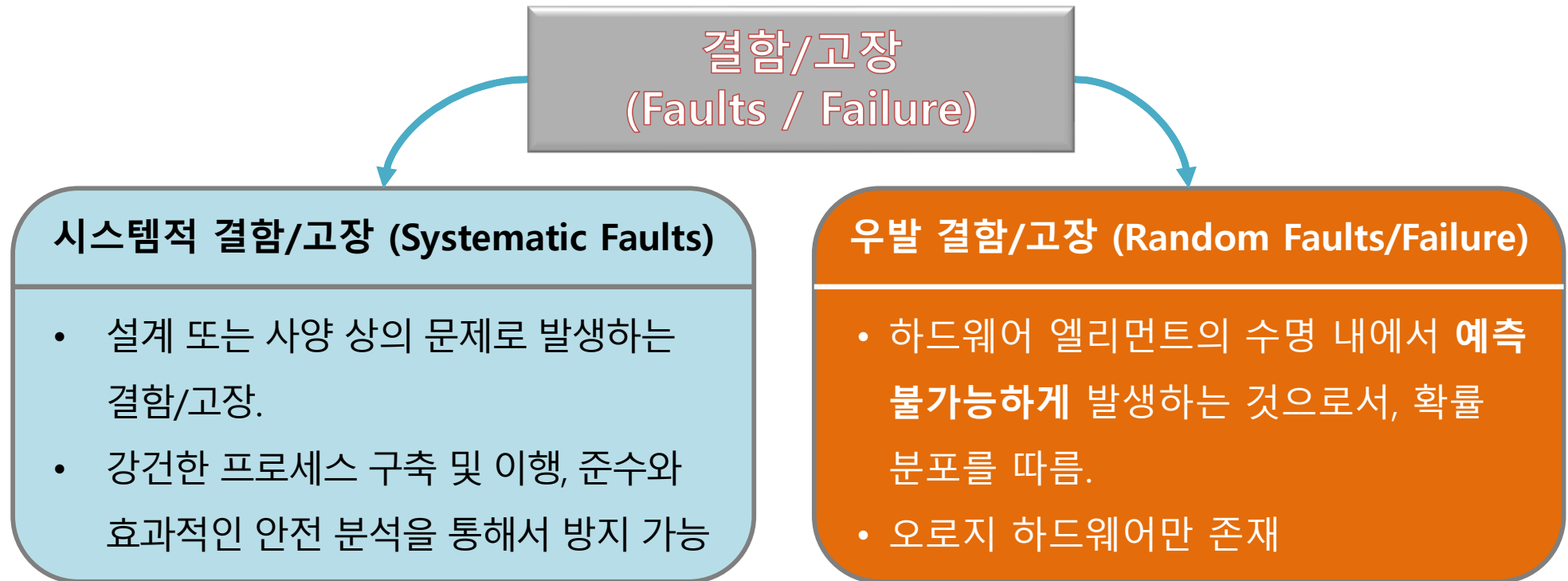
## 2. Functional Safety ISO 26262

- 기능안전은 차량 전기/전자시스템 오작동으로 인한 사고 위험이 최소화 된 상태를 가리키며, ISO 26262는 차량 기능안전 달성을 위한 프로세스 및 개발 요구사항을 제시하는 국제 개발 표준임.



## 2. Functional Safety ISO 26262

### ■ Systematic fault Vs Random fault



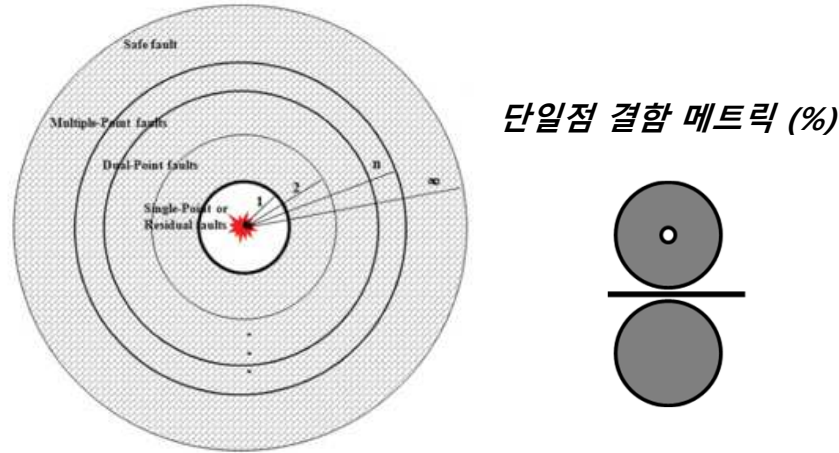
기능 안전 제품에서 발생하는 결함/고장은 크게 시스템적 결함/고장과 우발 결함/고장으로 분류되며 기능안전 설계는 이러한 것을 방지할 목적으로 다음의 두 가지 목표를 제시한다.

- **Avoid faults/Failure. (결함/고장의 회피)**
- **Make unavoidable faults/Failure safe. (피할 수 없는 결함/고장에 대해 안전한 상태로의 전환)**

# 3. FMEDA (Failure Mode Effects Diagnostic Analysis)

## ■ 아키텍처의 효과성을 평가하는 두 가지 하드웨어 아키텍처 메트릭

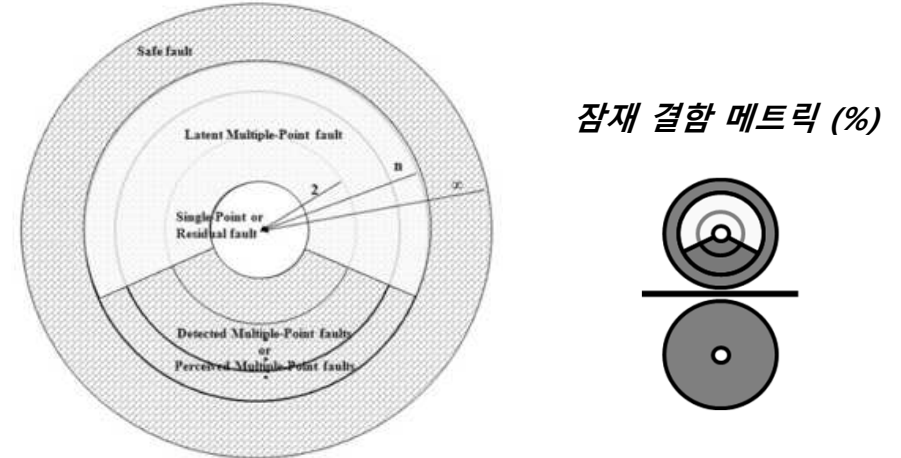
### ■ SPFM (Single Point Fault Metric)



$$SPFM = 1 - \frac{\sum_{SR,HW}(\lambda_{SPF} + \lambda_{RF})}{\sum_{SR,HW}(\lambda)} = \frac{\sum_{SR,HW}(\lambda_{MPF} + \lambda_S)}{\sum_{SR,HW}(\lambda)}$$

	ASIL B	ASIL C	ASIL D
Single Point Fault Metric	≥90 %	≥97 %	≥99 %

### ■ LFM (Latent Fault Metric)



$$LFM = 1 - \frac{\sum_{SR,HW}(\lambda_{MPF,latent})}{\sum_{SR,HW}(\lambda - \lambda_{SPF} - \lambda_{RF})} = \frac{\sum_{SR,HW}(\lambda_{MPF,perceived\ or\ detected} + \lambda_S)}{\sum_{SR,HW}(\lambda - \lambda_{SPF} - \lambda_{RF})}$$

	ASIL B	ASIL C	ASIL D
Latent Fault Metric	≥60 %	≥80 %	≥90 %

## ■ 안전 목표 위배에 대한 잔존 리스크가 충분히 낮은지를 평가하기 위해 두 가지 대안 방법

### ■ 전역적 확률 접근법인 하드웨어 우발 고장에 대한 확률 메트릭 평가

(PMHF: Probabilistic Metric for random Hardware Failures)

### ■ Cut set 분석법인 안전 목표 위배에 대한 개별 원인 평가"

(EEC: Evaluation of Each Cause of safety goal violation)

ASIL	하드웨어 우발고장 목표 값	
D	< 10 <sup>-8</sup> h <sup>-1</sup>	10FIT
C	< 10 <sup>-7</sup> h <sup>-1</sup>	100FIT
B	< 10 <sup>-7</sup> h <sup>-1</sup>	100FIT

# 3. FMEDA (Failure Mode Effects Diagnostic Analysis)

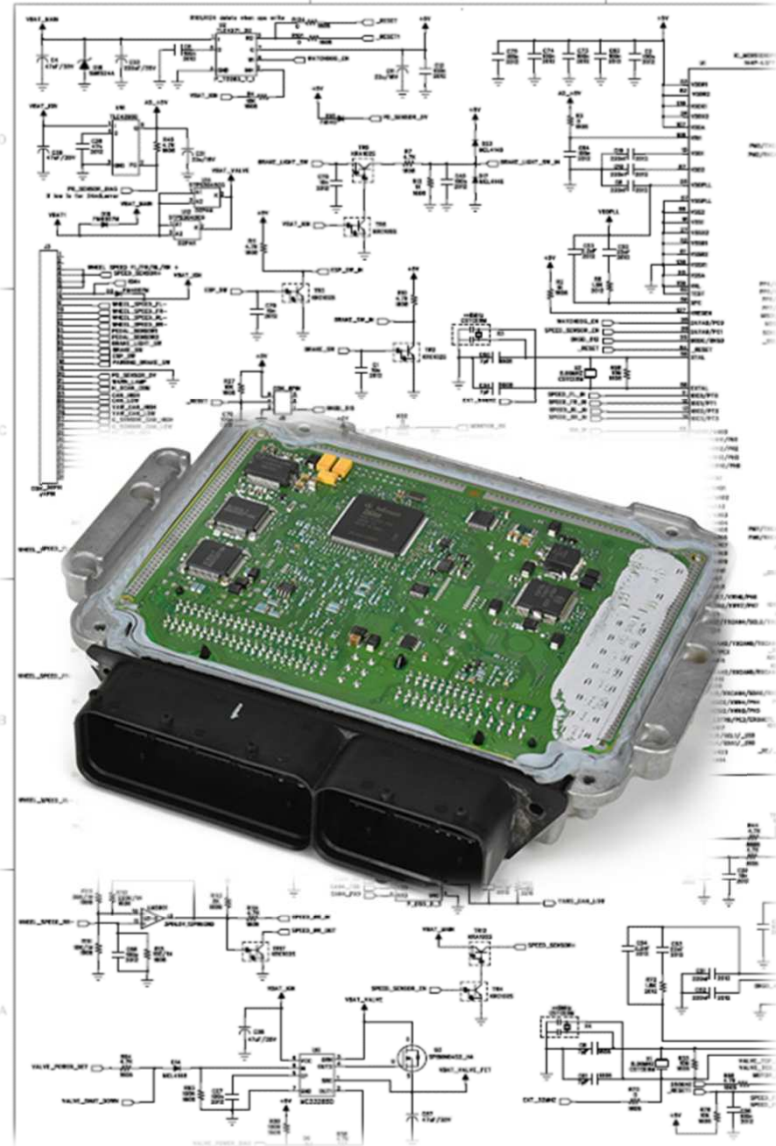
## FMEDA 수행 전략

### 분석의 수준 1

Component Name	Failure rate/FIT**
R3	3
R13	2
R23	2
C13	2
중략 (~)	
C71	2
R81	2
L1	10
<b>uC</b>	<b>100</b>

### 분석의 수준 2

Part	Sub-part	Failure modes	Failure rate (FIT)	Failure rate (FIT)	
CPU	Register bank	permanent fault	0.0029		
		transient fault		0.032005	
		permanent fault	0.0029		
		transient fault		0.032005	
	ALU	ALU	permanent fault	0.0348	
		MUL	permanent fault	0.0290	
		DIV	permanent fault	0.0232	
	Control logic	Pipeline	permanent fault	0.0174	
		Sequencer	permanent fault	0.0406	
		Stack control	permanent fault	0.0029	
	Load Store Unit	Address generation	permanent fault	0.0174	
		Load Unit	permanent fault	0.0145	
		Store Unit	permanent fault	0.0145	
		Inner Logic	permanent fault	0.0058	
	Debug	Debug Interface	permanent fault	0.0783	



분석 시간 단축에 따른 비용 절감

분석의 정확도 향상

# 3. FMEDA (Failure Mode Effects Diagnostic Analysis)

## ■ FMEDA 주요 입력 파라미터

- ① 기본 고장율 (Base Failure Rate)
- ② 고장 모드 (Failure Mode)
- ③ 고장 모드 분포율 (Failure Mode Distribution Rate)
- ④ 안전 메커니즘 및 진단 커버리지 (Safety Mechanism and Diagnostic Coverage)

부품명	①	안전과 관련하여 고려해야 할 부품인가?	②	③	안전 메커니즘이 없을 시 안전 목표를 위반할 잠재성이 있는 고장모드인가?	안전 목표를 위반 하는 고장 모드를 방지하는 안전 메커니즘이 있는가?	④	단일점 결함율/FIT	잔존 결함율/FIT	또 다른 부품의 독립적 고장과 결합하여 안전목표 위반을 유도하는 고장모드 인가?	잠재중인 고장모드를 방지하는 안전 메커니즘이 있는가?	④	잠재 고장에 대한 고장모드 커버리지는 얼마인가?	잠재 결함율/FIT
	기본 고장율		고장 모드	고장 모드 분포율			안전목표 위반을 방지 하기 위한 안전메커니즘의 고장모드 커버리지는 얼마인가?							
R3	3	Y	open	0.3	Y	none	0.000	0.900	0.000				0.000	
			closed	0.1	N		0.000	0.000	0.000			0.000		
			drift 0.5	0.3	N		0.000	0.000	0.000			0.000		
			drift 2	0.3	Y		0.000	0.900	0.000			0.000		
R13	2	Y	open	0.9	Y	none	0.000	1.800	0.000				0.000	
			closed	0.1	Y		0.000	0.200	0.000			0.000		

## 4. 차량용 IC 기본 고장율의 산정

### ■ 기본 고장율 (BFR)이란

#### ▣ ISO26262-1 2<sup>nd</sup>

failure rate of a hardware element in a given application use case used as an input to safety analyses

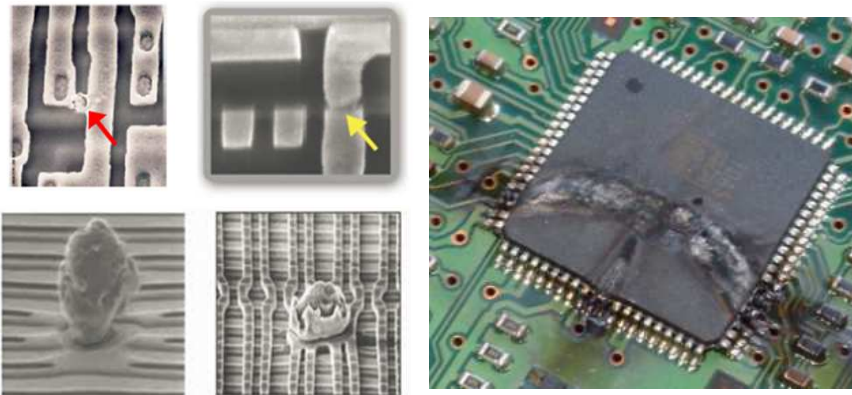
#### ▣ ISO26262-11 2<sup>nd</sup>

A primary input for calculation of the quantitative safety analyses and metrics according to ISO 26262-5

### ■ 기본 고장율 (Base Failure Rate)의 분류

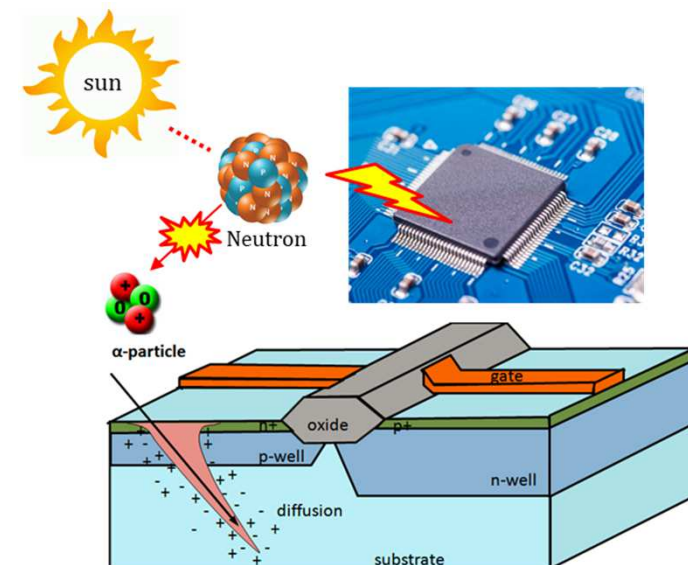
#### ▣ 영구적인 (Permanent) 고장율

한번 발생되면, 제거되거나 수리될 때까지 결함이 유지됨.



#### ▣ 일시적인 (Transient) 고장율

결함이 생겼다 사라짐 -> 잘못된 연산을 초래





## 4. 차량용 IC 기본 고장율의 산정

### ■ 기본 고장율을 구하기 위한 3가지 출처

#### ① 다음과 같은 실험적 테스트에서 파생 된 고장율:

- 고유 제품 작동 신뢰성을 위한 고온 작동 수명 (HTOL) 테스트 또는
- 연장 수명 테스트(ELT)로 알려진 온도, 바이어스 및 작동 수명 테스트(TBOL),
- 신뢰성 테스트 칩 및/또는 온 칩 테스트 구조로 실리콘 기술의 본질적인 신뢰성을 평가.
- (결함/고장 등을 찾기 위한) 검사(screening)를 위한 가속 시험의 수렴 특성.

#### ② 현장 고장으로 반환 된 재료 분석과 같은, 현장 사고 관찰로 부터 도출된 고장율.

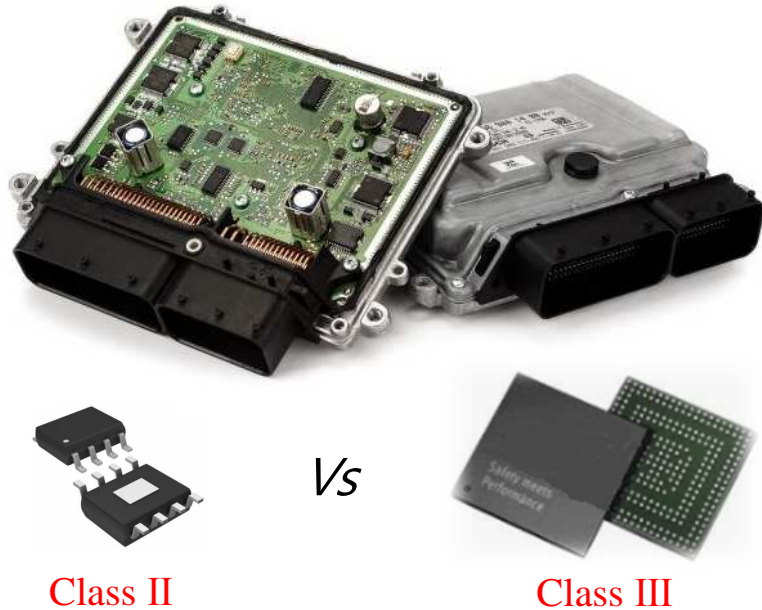
#### ③ 산업 신뢰성 데이터 복의 적용에 의해 추산되거나 그로부터 파생되고 전문가의 판단과 결합 된 고장율.

- IEC 61709, SN 29500, FIDES 가이드,
- ISO26262-11:2018, 4.6.2.1.1에서 기술된 IEC TR 62380

# 4. 차량용 IC 기본 고장율의 산정

## ■ 제어기 수준과 직접회로 수준에서의 기본 고장율 산정에 대한 고려사항

▣ 제어기 FMEDA 분석 수준에서의 반도체 부품에 대한 기본 고장율 산정

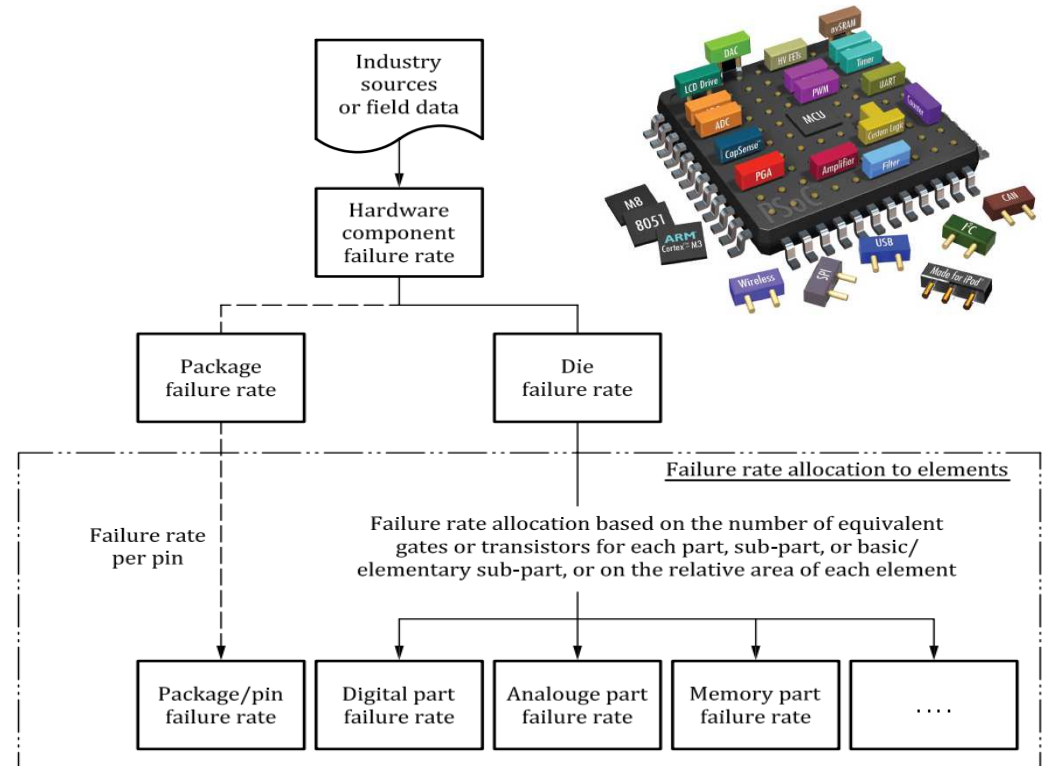


CAN Transceiver, Gate IC, Power IC,.. 등과 같은 Class II 이하의 복잡도를 가진 IC의 경우, IC 칩을 구성하는 Die와 Package를 모두 고려한 기본 고장율 값을 입력 파라미터로 적용.

→ SN 29500 이 적당.

단, 마이크로 컨트롤러와 같은 복잡한 Class III 수준의 IC인 경우는 Die와 Package 파트를 별도로 구분하여 분석 하는 것을 권장

▣ 반도체 FMEDA 분석 수준에서의 직접회로에 대한 기본 고장율 산정



ISO26262-11 2nd, Figure 19 - Failure rate distribution

반도체 Package와 Die 부분에 대한 고장율을 구분하고, 특히, Die를 구성하고 있는 IP 별 고장율 값을 산정해야 한다.

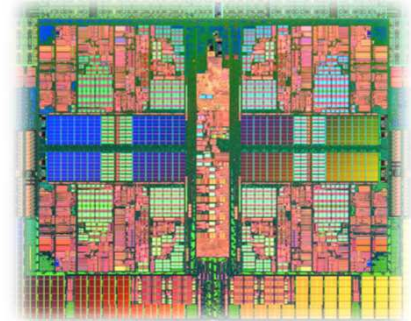
→ ISO26262-11:2018, 4.6.2.1.1 (舊 IEC TR 62380) 이 적당.

# 4. 차량용 IC 기본 고장율의 산정

## ■ 직접 회로에 대한 기본 고장율 산정 시 고려사항

### ▣ Die part

- 기능의 복잡도에 따라서 좁은 공간안에 다양한 **회로 로직**이 혼재 되어 있음  
→ Digital (CPU/DSP/SRAM/DRAM/Flash,..), Analog (OPAMP/FILITER/FET,..), Mixed logic (ADC/DAC/TRANSCEIVER,..)
- 기능의 복잡도에 따라서 좁은 공간안에 다양한 **실리콘 기술 유형**이 혼재 되어 있음  
→ MOS : Standard circuits, MOS : ASIC circuits, Bipolar circuits, BICMOS, Gallium arsenide



[Semiconductor Die]

### ▣ Package part

- Package 재료, 종류, 사이즈 등에 따라 **열 팽창 계수**가 달라짐.



Table 14 – Thermal expansion coefficients  $\alpha_s$  and  $\alpha_c$ .

Linear thermal expansion coefficients	Material type	Values in ppm/°C
$\alpha_s$ (Substrate)	Epoxy Glass (FR4, G-10)	16
	PTFE Glass (polytetrafluoroethylene)	20
	Flexible substrate (Polyimide Aramid)	6.5
	Cu/Invar/Cu (20/60/20)	5.4
$\alpha_c$ (Component)	Epoxy (Plastic package)	21.5
	Alumina (ceramic package)	6.5
	Kovar (Metallic package)	5

Table 17b –  $\lambda_3$  values for surface mounted integrated circuits packages as a function of D (package diagonal)

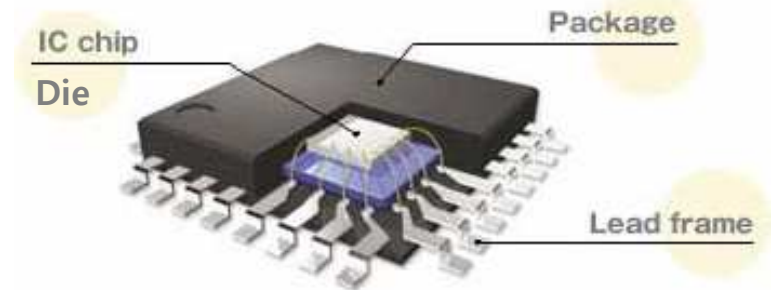
Packages types	Examples	$\lambda_3$ in FIT
Two rows connections packages	SO; SOP; SOJ; VSOP; SSOP; TSSOP; TSOP I; TSOP II; etc...	$= 0.024 \times D^{1.68}$ (1)
Peripheral connections packages	PLCC; CLCC; MQUAD; PQFP; TQFP; CQFP; MQFP; etc...	$= 0.048 \times D^{1.68}$ (2)
Matrix connections packages	PBGA; CBGA; SBGA; $\mu$ BGA; CSP; etc...	$= 0.073 \times D^{1.68}$ (3)
Bare die with epoxy drop	COB (chip on board)	$= 0.048 \times D^{1.68}$ (4)

Note (1) :  $D = \left[ \left( \left( \frac{S}{2} - 1 \right) \times (\text{pitch}) \right)^2 + (\text{Width})^2 \right]^{\frac{1}{2}}$

Note (2) :  $D = \left[ \left( \left( \frac{S}{4} - 1 \right) \times (\text{pitch}) \right)^2 + (\text{Width})^2 \right]^{\frac{1}{2}}$

Note (3) :  $D = \left[ (\text{Length})^2 + (\text{Width})^2 \right]^{\frac{1}{2}}$

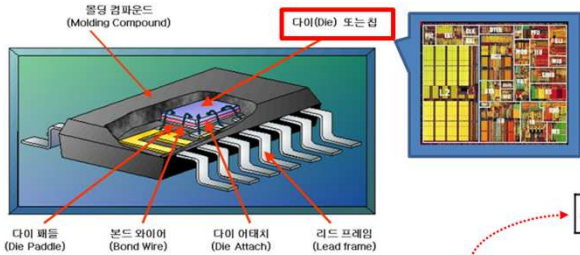
Note (4) : D report area diagonal



# 4. 차량용 IC 기본 고장율의 산정

## 인정된 산업 출처

ISO 26262-11:2018, 4.6.2.1.1 (舊 IEC TR 62380:2004)



$$\lambda_{die} = \lambda_{thermal\ effects} + \lambda_{EOS\ effects}$$

$$\lambda = \lambda_{die} + \lambda_{package}$$

$$\lambda_{package} = \lambda_{thermomechanical\ effects}$$

$$\lambda = \left\{ \lambda_1 \times N \times e^{-0.35 \times a} + \lambda_2 \right\} \times \left\{ \frac{\sum_{i=1}^y (\pi_i)_i \times \tau_i}{\tau_{on} + \tau_{off}} \right\} + \left\{ 2.75 \times 10^{-3} \times \pi_{\alpha} \times \left( \sum_{i=1}^z (\pi_n)_i \times (\Delta T_i)^{0.68} \right) \times \lambda_3 \right\} + \left\{ \frac{\pi_I \times \lambda_{EOS}}{\lambda_{overstress}} \right\} \times 10^{-9} / h$$

Table 16 – Values of  $\lambda_1$  and  $\lambda_2$  for integrated circuits families

Technological structure	Temperature factor $\pi_{T_i}$
MOS BiCMOS (low voltage)	$e^{\left[ A \left( \frac{1}{328} - \frac{1}{273+t_j} \right) \right]}$ A=3480 ; (Ea=0.3 eV)
Bipolar BiCMOS (high voltage)	$e^{\left[ A \left( \frac{1}{328} - \frac{1}{273+t_j} \right) \right]}$ A=4640 ; (Ea=0.4 eV)
AsGa Numerical	$e^{\left[ A \left( \frac{1}{373} - \frac{1}{273+t_j} \right) \right]}$ A=3480 ; (Ea=0.3 eV)
AsGa MMIC	$e^{\left[ A \left( \frac{1}{373} - \frac{1}{273+t_j} \right) \right]}$ A=4640 ; (Ea=0.4 eV)

$t_j$  = Junction temperature in °C .

Interface circuits Typical calculated values		$\lambda_{EOS}$ FIT	$\pi_I$	
Function	Electrical environment			
Interfaces	Computer	10	1	
	Telecoms	switching	15	1
		transmitting, access, subscriber cards	40	1
		subscriber equipment	70	1
	Railways, payphone	100	1	
Civilian avionics (on board calculators)	20	1		
Non Interfaces	Voltage supply, Converters	40	1	
	All electrical environment	-	0	

Mathematical expression of the	$n_i \leq 8760$ Cycles/year	$(\pi_n)_i = n_i^{0.76}$
Influence factor $(\pi_n)_i$	$n_i > 8760$ Cycles/year	$(\pi_n)_i = 1.7 \times n_i^{0.60}$
$n_i$ : Annual number of cycles with the amplitude $\Delta T_i$		
For an on/off phase	$\Delta T_i = \left[ \frac{\Delta T_{i1}}{3} + (t_{ae})_i \right] - (t_{ae})_i$	
For a permanent working phase, storage or dormant	$\Delta T_i$ = average per cycle of the $(t_{ae})$ variation, during the $i^{\text{th}}$ phase of the mission profile.	

Mathematical expression of the influence factor $\pi_{\alpha}$	$\pi_{\alpha} = 0.06 \times (\alpha_S - \alpha_C)^{1.68}$
Mismatch between substrate and package for the thermal expansion coefficient	$ \alpha_S - \alpha_C $
$\alpha_S$	See Table 14
$\alpha_C$	See Table 14

ABBREVIATIONS	TYPES	N Is the representative number of transistors	$\lambda_1$ in FIT	$\lambda_2$ in FIT
<b>Silicon: MOS : Standard circuits (3)</b>				
ROM DRAM/VideoRAM/AudioRAM High speed SRAM, FIFO Low consumption SRAM Double access SRAM EPROM,UVPROM,REPROM OTP FLASH EEPROM, flash EEPROM	Digital circuits, Micros, DSP Linear circuits Digital / linear circuits (Telecom, CAN, CNA, RAMDAC, ...)	4 per gate Actual number Actual number	$3.4 \cdot 10^{-6}$ $1.0 \cdot 10^{-2}$ $2.7 \cdot 10^{-4}$	1.7 4.2 20
	MEMORIES: Read only memory	1 per bit	$1.7 \cdot 10^{-7}$	8.8
	Dynamic, Read Access Memory	1 per bit	$1.0 \cdot 10^{-7}$	5.6
	Static Read Access Memory - First in First out register; ("mixed MOS ")	4 per bit	$1.7 \cdot 10^{-7}$	8.8
	Static Read Access Memory - Low consumption; (CMOS)	6 per bit	$1.7 \cdot 10^{-7}$	8.8
	Double Access Static RAM	8 per bit	$1.7 \cdot 10^{-7}$	8.8
	Electrically programmable, UV erasable - Read only memory	1 /programmable point	$2.6 \cdot 10^{-7}$	34
	One time programmable EPROM			
	Electrically programmable and erasable (block) (1)	2 /programmable point	$6.5 \cdot 10^{-7}$	16
	Electrically programmable and erasable (word) (2)			

(1) Whole memory array or blocks of words erasable (2) Blocks of words or word erasable (3) MOS include CMOS, HCMOS, NMOS, ... technologies

<b>Silicon: MOS : Asic circuits</b>				
LCA (RAM based) PLD (GAL, PAL) (2) CPLD (EPLD,MAX,FLEX, FPGA, etc)	Standard Cell, Full Custom Gate Arrays	4 per gate 4 per gate	$1.2 \cdot 10^{-5}$ $2.0 \cdot 10^{-5}$	10 10
	USER PROGRAMMABLE LOGIC DEVICE: Logic Cell Array electrically configured by external memory	40 per gate (1)	$4.0 \cdot 10^{-5}$	8.8
	Electrically Programmable and erasable (AND/OR array)	3 par grid point	$1.2 \cdot 10^{-3}$	16
	Electrically Programmable (interconnected macrocells array) (2)	100 per macrocell	$2.0 \cdot 10^{-5}$	34

# 4. 차량용 IC 기본 고장율의 산정

## 인정된 산업 출처

### Siemens SN 29500-2:2010 [ $\lambda_{ref}$ ]

Table 1  
Failure rates for memories

Bipolar	Komplexität in Bit / Complexity in bits												$\lambda_{ref}$ in °C	
	512 <sup>2</sup>	32K	128K	512K	2M	132M	528M	128M	512M	2G	4G	8G		
RAM, FIFO	50	60	-	-	-	-	-	-	-	-	-	-	-	75
statisch static	50	60	-	-	-	-	-	-	-	-	-	-	-	75
statisch schnell ->slow static slow 2)	15	10	10	10	10	30	50	-	-	-	-	-	-	55
ROM	60	80	-	-	-	-	-	-	-	-	-	-	-	70
MOS, RAM	50	30	20	10	10	15	20	25	-	-	-	-	-	55
dynamisch dynamic	-	-	-	-	-	-	-	-	-	-	-	-	-	70
BICMOS	-	-	-	-	-	-	-	-	-	-	-	-	-	70
RAM, FIFO	15	10	10	10	10	30	50	-	-	-	-	-	-	55
statisch langsam ->slow static slow 2)	30	25	15	25	40	55	90	-	-	-	-	-	-	70
statisch schnell ->slow static slow 2)	30	25	15	25	40	55	90	-	-	-	-	-	-	70
ROM mask	50	30	15	15	15	25	-	-	-	-	-	-	-	55
EPROM, OTPROM	30	30	20	20	20	20	40	-	-	-	-	-	-	70
UV-löschbar UV erasable	-	-	-	-	-	-	-	-	-	-	-	-	-	70
FLASH	-	-	30	30	40	50	70	(100)	-	-	-	-	-	70
EEPROM, EAPROM	30	30	30	50	-	-	-	-	-	-	-	-	-	55

1 FIT=1x10<sup>-9</sup> 1h. (Ein Ausfall pro 10<sup>9</sup> Bauelementenstunden)  
Für Bauelemente ohne ausreichende Einsatzerfahrungen sind die Ausfallraten angegeben.  
Die Erfahrungswerte stammen von Speichern, in die nicht dauernd eingeschrieben bzw. von denen nicht dauernd gelesen wird.  
Bei der Verwendung von nackten Chips sind die Ausfallraten mit einem Faktor von bis zu 2 zu multiplizieren, wenn keine eigenen Erfahrungen in der Aufbautechnik vorliegen.  
2) Durch Blitzeile (soft errors können bei statischen Speichern (SRAM) sporadische Ausfälle auftreten. Diese Ausfälle sind durch Fehlerkorrektur oder Neuladen behaltbar.  
Für sporadische Ausfälle, basierend auf einer Ausfallrate bis 1000 FIT/Mbit kann geschätzt werden (abhängig von der Applikation und der Halbleitertechnologie).

Table 2  
Failure rates for microprocessors and peripherals, microcontrollers and signal processors

Bipolar	Integrationsgrad / Degree of integration						$\lambda_{ref}$ in °C
	51K	10K	100K	100K-1M	10M-100M	10M-100M	
50	60	-	-	-	-	70	
NMOS	50	60	-	-	-	70	
CMOS	25	-	-	-	-	50	
10K	-	-	-	-	-	60	
100K	-	-	-	-	-	80	
10(LV)E(L)/100(LV)E(L)P	-	-	-	-	-	70	
RS422, RS423, RS485, CAN etc.	-	-	-	-	-	85	
RS232, RS444/899, CML etc.	-	-	-	-	-	75	

1 FIT=1x10<sup>-9</sup> 1h. (Ein Ausfall pro 10<sup>9</sup> Bauelementenstunden)  
Für Bauelemente ohne ausreichende Einsatzerfahrungen sind die Ausfallraten angegeben.  
Bei der Verwendung von nackten Chips sind die Ausfallraten mit einem Faktor von bis zu 2 zu multiplizieren, wenn keine eigenen Erfahrungen in der Aufbautechnik vorliegen.  
1) Monolithische Technologie zu berücksichtigen.  
2) Sporadische Ausfälle können bei statischen Speichern (SRAM) durch Blitzeile (soft errors) verursacht werden. Diese Ausfälle sind durch Fehlerkorrektur oder Neuladen behaltbar.  
Für sporadische Ausfälle, basierend auf einer Ausfallrate bis 1000 FIT/Mbit kann geschätzt werden (abhängig von der Applikation und der Halbleitertechnologie).

Table 3  
Failure rates for digital logic families and bus interfaces, bus driver and receiver circuits

Bipolar	Integrationsgrad / Degree of integration		$\lambda_{ref}$ in °C	$U_{ref}$ in V
	SSI/MSI	LSI		
2	4	45	-	-
Logic	4	55	-	-
Bus Interface	5	60	-	-
Logic + Bus Interface	10	80	-	-
TTL S	10	80	-	-
ECL	10	65	-	-
100k	15	75	-	-
10(LV)E(L)/100(LV)E(L)P	15	60	-	-
RS422, RS423, RS485, CAN etc.	15	70	-	-
RS232, RS444/899, CML etc.	25	85	-	-
CMOS	3	5	45	5
HCMOS, CMOS B, ACNOS	5	8	-	-
(VOC, ALVC, ALVQ, LVX) (LVOC, LVX, LVQ, LVX) (VOC, ALVC, ALVQ, AHC, VHC)	5	8	-	-
Bus Interface	8	12	50	-
Busdriver/receiver	8	12	50	-
RS422, RS423, RS485, CAN etc.	10	-	-	-
RS232, RS444/899, CML etc.	15	-	-	-
BICMOS	3	5	45	-
Logic	6	8	50	-
Bus interface	6	10	-	-
ABT, BCT	6	10	-	-
LVT, ALVT	8	12	-	-
GTLP	8	12	-	-
BTLP, ETL	50	80	95	-
Busdriver/receiver	8	-	-	-
RS422, RS423, RS485 etc.	8	-	-	-

1 FIT=1x10<sup>-9</sup> 1h. (Ein Ausfall pro 10<sup>9</sup> Bauelementenstunden)  
Für Bauelemente ohne ausreichende Einsatzerfahrungen sind die Ausfallraten mit einem Faktor von bis zu 2 zu multiplizieren, wenn keine eigenen Erfahrungen in der Aufbautechnik vorliegen.  
1) Busdriver und Empfänger mit  $\leq 10$  Ein- und Ausgängen SSI/MSI LSI  
Für Schaltfrequenzen ab ca. 5 MHz muss zur Bestimmung der Sperrschichttemperatur neben der statischen die lastabhängige dynamische Verlustleistung berücksichtigt werden.  
2) Für differenzielle Schaltungen ist der Driftempfindlichkeitsfaktor  $\lambda_D$  zu berücksichtigen (siehe Abschnitt 4.3).  
3) Nur für CMOS B

Table 4  
Failure rates for analog integrated circuits

Operational amplifiers, comparators and voltage monitors	Integrationsgrad / Degree of integration				$\lambda_{ref}$ in °C	$U_{ref}$ in V
	$\leq 30$	>30 - 300	>300-3k	>3k		
bipolar, BiFET	3	6	12	-	55	0.7
CMOS	2	4	8	-	45	-
Alle Technologien all technologies	3	6	-	-	45	-
Alle Technologien all technologies	-	10	20	-	55	-
Alle Technologien all technologies	10	20	40	-	70	-
$\leq 1$ Watt	25	50	100	-	90	-
$> 1$ Watt	-	-	-	-	-	-
bipolar	-	(25)	-	-	65	-
CMOS, BICMOS	-	15	20	25	45	-
bipolar	-	20	25	-	70	-
CMOS, BICMOS	-	-	-	25	45	-
CaAs	(100)	(110)	-	-	80	-

1 FIT=1x10<sup>-9</sup> 1h. (Ein Ausfall pro 10<sup>9</sup> Bauelementenstunden)  
Für Bauelemente ohne ausreichende Einsatzerfahrungen sind die Ausfallraten angegeben.  
In differenziellen Schaltungen kann die Ausfallrate ein Vielfaches der angegebenen sein. Deshalb ist für solche Schaltungen der Driftempfindlichkeitsfaktor  $\lambda_D$  zu berücksichtigen (siehe Abschnitt 4.3).  
2) Hochfrequenz >100MHz  
3) Bei der Verwendung von nackten Chips sind die Ausfallraten mit einem Faktor von mindestens 2 zu multiplizieren, wenn keine eigenen Erfahrungen in der Aufbautechnik vorliegen.  
4) No changing thermal loads; during intermittent operation a significant rise in the failure rate may be expected, depending on the switching frequency per gate and (duty cycle) and the junction temperature cycle resulting thereof.  
5) High frequency >100 MHz

Table 5  
Failure rates for application-specific integrated circuits (ASICs)

Gatteranzahl / No. of gates	Integrationsgrad / Degree of integration						$\lambda_{ref}$ in °C
	MS/LSI	VLSI	ULSI	SLSI	>1M - 10M	>10M - 100M	
50 - 5k	>1k - 10k	>10k - 100k	>100k - 1M	>1M - 10M	>10M - 100M	>10M - 500M	$\lambda_{ref}$
ASICS, Full Custom, Gate Arrays, Telecom ICs, A/D-Converters	-	-	-	-	-	-	-
Bipolar	TTL	20	30	-	-	-	55
ECL	40	60	-	-	-	-	70
HV (>50 Volt)	-	40	-	-	-	-	80
NMOS	25	30	-	-	-	-	55
CMOS	20	25	-	-	-	-	55
BICMOS	-	-	60	70	80	-	70
digital, analog / mixed	-	-	-	-	-	120	80
HV (>50 Volt)	-	-	-	-	-	-	75
Programmable ASICs (PLD) nicht löschbar / non-erasable	-	-	-	-	-	-	-
Bipolar	ECL	70	-	-	-	-	85
CMOS	(antifuses)	-	80	90	120	-	80
Programmable ASICs (PLD) löschbar / erasable	-	-	-	-	-	-	-
MOS, EPROM basis	-	60	80	100	(150)	(200)	80
CMOS	40	-	80	-	-	-	70
EEPROM basis	-	50	-	-	-	-	80
FLASH-EPROM	-	-	-	-	-	-	70
CMOS	-	60	90	120	(160)	-	80

1 FIT=1x10<sup>-9</sup> 1h. (Ein Ausfall pro 10<sup>9</sup> Bauelementenstunden)  
Für Bauelemente ohne ausreichende Einsatzerfahrungen sind die Ausfallraten angegeben.  
Bei der Verwendung von nackten Chips sind die Ausfallraten mit einem Faktor von bis zu 2 zu multiplizieren, wenn keine eigenen Erfahrungen in der Aufbautechnik vorliegen.  
1) Monolithische Technologie (keine Module)  
2) Die Ausfallraten gelten für den typischen Einsatzfall. Vollast während 10% der Betriebszeit.  
3) Für differenzielle Schaltungen ist der Driftempfindlichkeitsfaktor  $\lambda_D$  zu berücksichtigen (siehe Abschnitt 4.3).  
4) Ausfallrate in Abhängigkeit von der Komplexität festlegen.  
5) Bei PLDs werden nur die Gatter der logischen Funktion geschätzt.  
6) Auch gültig für nicht löschrare Versionen in Plastikgehäusen.  
7) Für PLDs die die Gatter der logischen Funktion geschätzt.  
8) Für PLDs die die Gatter der logischen Funktion geschätzt.

① 작동 전압 범위가 넓은 아날로그 집적 회로 (작동 증폭기, 비교기 및 전압 모니터)  
 $\Rightarrow \lambda = \lambda_{ref} \times \pi_U \times \pi_T \times \pi_D$

② 고정된 작동 전압을 가진 모든 아날로그 집적 회로  
 $\Rightarrow \lambda = \lambda_{ref} \times \pi_T \times \pi_D$

③ 디지털 CMOS B (CMOS 4000) 제품군  
 $\Rightarrow \lambda = \lambda_{ref} \times \pi_U \times \pi_T$

④ 다른 모든 집적 회로  
 $\Rightarrow \lambda = \lambda_{ref} \times \pi_T$

where  
 $\lambda_{ref}$  : Failure rate under reference conditions  
 $\pi_U$  : Voltage dependence factor  
 $\pi_T$  : Temperature dependence factor  
 $\pi_D$  : Drift sensitivity factor



# 4. 차량용 IC 기본 고장율의 산정

## ■ 인정된 산업 출처

### ▣ FIDES Guide 2009 EdA

- 프랑스 국방부의 감독하에 프랑스 산업 컨소시엄이 개발한 신뢰성 데이터 북.
- FIDES 방법론은 고장 물리학을 기반으로 하며 테스트 데이터, 필드 반환 및 기존 모델링 분석을 통해 지원됨.

### ▣ IEC 61709:2017 3rd

직접회로에 대한  $\lambda_{ref}$  을 제공하지 않지만, (SN 29500와 같은) 다른 수단으로 얻은 고장율을 한 작동 조건에서 다른 작동 조건으로 변환 할 수 있는 모델을 제공함.

→ SN 29500과 함께 사용 가능.

$$\lambda = \lambda_{ref} \times \pi_U \times \pi_T$$

$$\pi_T = \frac{A \times \exp(Ea_1 \times z) + (1 - A) \times \exp(Ea_2 \times z)}{A \times \exp(Ea_1 \times z_{ref}) + (1 - A) \times \exp(Ea_2 \times z_{ref})}$$

$$\pi_T = \exp \left[ \frac{Ea_1}{k_0} \left( \frac{1}{T_{ref}} - \frac{1}{T_{op}} \right) \right]$$

$T_{ref}$ °C (see 6.1)	Factor $\pi_U$										
	≤ 25	30	35	40	45	50	55	60	65	70	75
40	0,54	0,67	0,82	1	1,2	1,5	1,8	2,2	2,7	3,3	4,
45	0,44	0,54	0,67	0,82	1	1,2	1,5	1,8	2,2	2,7	3,
50	0,36	0,45	0,55	0,67	0,82	1	1,2	1,5	1,8	2,2	2,
55	0,3	0,37	0,45	0,55	0,67	0,82	1	1,2	1,5	1,8	2,
60											
65											
70											
75											
80											
85											
90											
95											
100											

Table 10 – Constants for voltage dependence

Integrated circuit	$U_{ref}/U_{rat}$	$U_{ref}$	$C_1$	$C_2$	$C_3$
Digital CMOS-family	–	5 V	0,1 V <sup>-1</sup>	1	–
Analog	0,7	–	–	4,4	1,4

Table 11 – Factor  $\pi_U$  for digital CMOS-family ICs

$U_{op}$ (V)	≤3	4	5	6	7	8	9	10	11	12	13	14	15
Factor $\pi_U$	0,8	0,9	1	1,1	1,2	1,3	1,5	1,6	1,8	2,0	2,2	2,5	2,7

Table 12 – Factor  $\pi_U$  for bipolar analog ICs

$U_{op}/U_{rat}$	≤0,3	0,4	0,5	0,6	0,7	0,8	0,9	1,0
Factor $\pi_U$	0,75	0,77	0,80	0,87	1,0	1,3	1,8	3,0

Table 13 – Constants for temperature dependence

	A	$Ea_1$ (eV)	$Ea_2$ (eV)
ICs (except EPROM, OTPROM, EEPROM, EAROM)	0,9	0,3	0,7
EPROM, OTPROM, EEPROM, EAROM	0,3	0,3	0,6

Table 5 – Memory

Component	$\theta_{ref}$ °C	Note
Bipolar RAM, FIFO	static	75
PROM		75
MOS, CMOS, BICMOS RAM	dynamic	55
RAM, FIFO	static slow (≥ 30 ns)	55
	static fast (< 30 ns)	55
ROM mask		55
EPROM, OTPROM	UV erasable	55
FLASH		55
EEPROM, EAROM		55

Table 6 – Microprocessors and peripherals, microcontrollers and signal processors

Component	$\theta_{ref}$ °C	Note
Microprocessor	70	
Microcontroller	70	
Signal processor	70	
50 000	70	
50 000	90	
5 000	50	...
5 000 to 50 000	60	
50 000 to 500 000	80	
500 000	90	
	75	

Table 7 – Analog and bus interfaces, bus driver and receiver circuits

Component	$\theta_{ref}$ °C	Reference voltage
Logic	45	
	55	
Logic + bus interface	80	...
10 000	65	
100 000	75	
10(LV)E(L) / 100(LV)E(I)(P)	60	
10(LV)E(L) / 100(LV)E(I)(P)	45	
Bus interface		$U_{ref} = 5V$
receiver RS422, RS423, RS485, CAN, RS644/899, CML, etc.	50	
GTL(p)	55	
	45	
ABT, BCT	50	
LVT, ALVT	50	
GTL(p)	50	
BTL, ETL	95	
Bus driver / receiver	55	...

## 4. 차량용 IC 기본 고장율의 산정

### ■ 인정된 산업 출처 : IEC 61709 와 SN 29500의 차이점

#### ▣ SN 29500-2

##### • 4. Conversion from reference to operating conditions

- ① 작동 전압 범위가 넓은 아날로그 집적 회로 (작동 증폭기, 비교기 및 전압 모니터)  
 $\Rightarrow \lambda = \lambda_{ref} \times \pi_U \times \pi_T \times \pi_D$
- ② 고정된 작동 전압을 가진 모든 아날로그 집적 회로  
 $\Rightarrow \lambda = \lambda_{ref} \times \pi_T \times \pi_D$
- ③ 디지털 CMOS B (CMOS 4000) 제품군  
 $\Rightarrow \lambda = \lambda_{ref} \times \pi_U \times \pi_T$
- ④ 다른 모든 집적 회로  
 $\Rightarrow \lambda = \lambda_{ref} \times \pi_T$

where

$\lambda_{ref}$  : Failure rate under reference conditions

$\pi_U$  : Voltage dependence factor

$\pi_T$  : Temperature dependence factor

$\pi_D$  : Drift sensitivity factor

#### ▣ IEC 61709 3<sup>rd</sup>

##### • 6.2 특정 스트레스 모델 (Specific stress models)

- ① for digital CMOS and bipolar analog ICs  
 $\Rightarrow \lambda = \lambda_{ref} \times \pi_U \times \pi_T$
- ② for all other ICs  
 $\Rightarrow \lambda = \lambda_{ref} \times \pi_T$

$\lambda_{ref}$  값만 SN29500으로 부터 추출하여  $\pi_U, \pi_T$  를 적용

# 4. 차량용 IC 기본 고장율의 산정

## ■ 인정된 산업 출처 : IEC 61709 와 SN 29500의 차이점

### ▣ SN 29500-2

- 4.2 Temperature dependence, factor  $\pi_T$

$$\pi_T = \frac{A \times e^{E_{a1} \times z} + (1 - A) \times e^{E_{a2} \times z}}{A \times e^{E_{a1} \times z_{ref}} + (1 - A) \times e^{E_{a2} \times z_{ref}}}$$

$$z_{ref} = 11605 \times \left( \frac{1}{T_{U,ref}} - \frac{1}{T_1} \right) \text{ in } \frac{1}{\text{eV}}$$

$$z = 11605 \times \left( \frac{1}{T_{U,ref}} - \frac{1}{T_2} \right) \text{ in } \frac{1}{\text{eV}}$$

where

$T_{U,ref}$	= $\theta_{U,ref} + 273$ in K	$\theta_{U,ref}$	Reference ambient temperature in °C
$T_1$	= $\theta_{vj,1} + 273$ in K	$\theta_{vj,1}$	Reference virtual (equivalent) junction temperature in °C
$T_2$	= $\theta_{vj,2} + 273$ in K	$\theta_{vj,2} = \theta_U + \Delta\theta$	Actual virtual (equivalent) junction temperature in °C
		$\theta_U$	mean ambient temperature of the component in °C
		$\Delta\theta = P \times R_{th}$	Increase in temperature due to self-heating (Self-heating of CMOS circuits is also frequency dependent)
		$P$	Power dissipation
		$R_{th}$	Thermal resistance (junction - environment)

$A, E_{a1}, E_{a2}$

Constants

	$A$	$E_{a1}$ in eV	$E_{a2}$ in eV	$\theta_{U,ref}$ in °C
For ICs (except EPROM, FLASH-EPROM, OTPROM, EEPROM, EAROM)	0.9	0.3	0.7	40

### ▣ IEC 61709 3<sup>rd</sup>

- 6.2.3 Temperature dependence, factor  $\pi_T$

$$\pi_T = \frac{A \times \exp(Ea_1 \times z) + (1 - A) \times \exp(Ea_2 \times z)}{A \times \exp(Ea_1 \times z_{ref}) + (1 - A) \times \exp(Ea_2 \times z_{ref})}$$

$$\pi_T = \exp \left[ \frac{Ea_1}{k_0} \left( \frac{1}{T_{ref}} - \frac{1}{T_{op}} \right) \right]$$

$$z = \frac{1}{k_0} \left( \frac{1}{T_0} - \frac{1}{T_{op}} \right) \text{ and } z_{ref} = \frac{1}{k_0} \left( \frac{1}{T_0} - \frac{1}{T_{ref}} \right) \text{ in } (\text{eV})^{-1}$$

where

$Ea_1, Ea_2$	activation energies in eV;
$k_0$	= $8,616 \times 10^{-5}$ eV/K;
$T_0$	= 313 K;
$T_{ref}$	= $(\theta_{ref} + 273)$ in K;
$T_{op}$	= $(\theta_{op} + 273)$ in K.

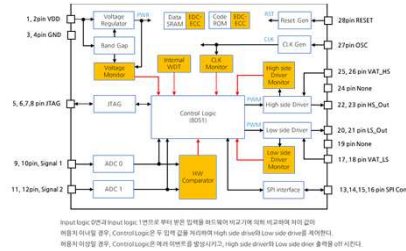


# 4. 차량용 IC 기본 고장율의 산정

## ■ FMEDA 입력 파라미터로 사용될 직접 회로에 대한 기본 고장율의 산정 절차

### Step1. 반도체 구조 분석

- 반도체 아키텍처 분석 및 IP 식별
- 식별된 IP 별 기능 및 회로 유형 분석
- IP 별 등가 게이트 또는 트랜지스터 개수 파악



IP No	Part/Sub-part Name	Volt	Description	Parts Type	Technology
1	Voltage Regulator	5.0V	5V를 입력 받아 정전압 3.3V (±0.2V)를 생성 하여, 칩 내 모든 IP들에게 전원을 공급한다.	Analog part	Silicon: MOS : Standard circuits Linear circuits
2	Voltage Monitor	3.3V	Voltage Regulator의 출력 전압 값이 3.6V를 초과하는 경우와, 3.0V 미만인 경우를 모니터링한다. 오류 발생 시 Error 신호를 발생시킨다.	Analog part	Silicon: MOS : Standard circuits Linear circuits
3	BandGap	3.3V	ADC를 위한 기준 전압을 생성한다. PN제널의 순방향에 갖는 문턱전압을 이용하여 온도에 따른 전압 변동을 억제한다. -2.3mV/°C라는 온도계수를 갖는다.	Analog part	Silicon: MOS : Standard circuits Linear circuits
4	Data SRAM	3.3V	데이터를 일시적으로 저장하기 위한 휘발성 메모리이다. 4kBy의 사이즈를 갖는다.	Digital part	Silicon: MOS : Standard circuits Low consumption SR
5	Code Flash ROM	3.3V	데이터를 영구적으로 저장하기 위한 비 휘발성 메모리이다. 16kbyte의 사이즈를 갖는다.	Digital part	Silicon: MOS : Standard circuits ROM
6	EDC-ECC	3.3V	모든 단일 비트 결함(단일 에러 교정, SEC)을 교정하고 RAM에 대한 모든 더블 비트 결함(더블 에러 감지, DEC)을 감지하는 에러 검출-교정 로직	Digital part	Silicon: MOS : Standard circuits Digital circuits, Micro

### Step2. 미션 프로파일 분석

- 고객사 제공 미션 프로파일 또는 IEC TR 62380 외

### Step3. 기본 고장율 산출

- IEC TR62380 or SN29500 + IEC 61709 or ...

### Step4. 개별 IP 별 Fit 산출

#### 5. Results of BFR(Base Failure Rate) value.

Total Effective Base Failure Rate (FIT) without package	<b>47.660</b> FIT
Total Effective Base Failure Rate (FIT) with package	<b>77.285</b> FIT

## 5. 차량용 IC 고장 모드 도출 방안

### ■ 고장 모드

#### ▣ ISO26262-1 2<sup>nd</sup>

manner in which an element or an item fails to provide the intended behaviour

#### ▣ IEC 61709

manner in which failure occurs

### ■ 고장 모드의 예

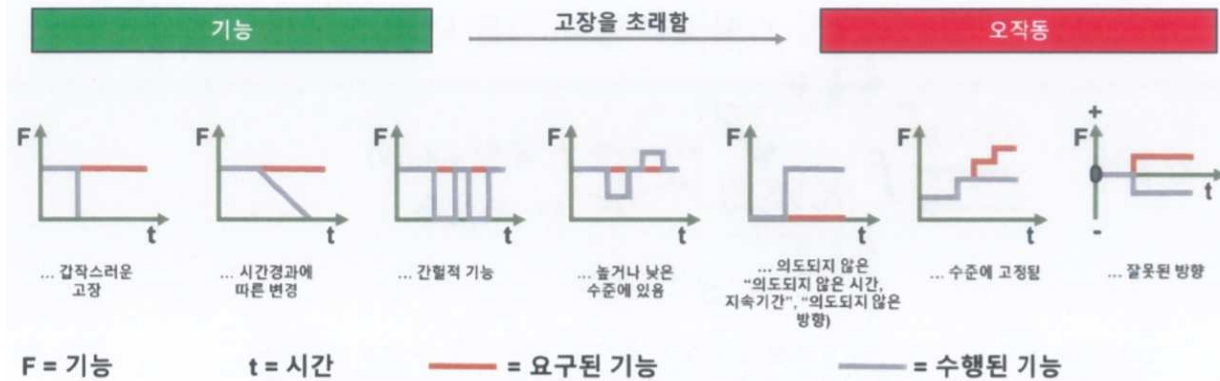
중앙 처리 유닛 (CPU)	<ul style="list-style-type: none"><li>• CPU_FM1: 주어진 명령 흐름이 실행되지 않음 (전체 누락)</li><li>• CPU_FM2: 의도하지 않은 명령 흐름 실행 (커미션)</li><li>• CPU_FM3: 잘못된 명령 흐름 타이밍 (너무 일찍/늦음)</li><li>• CPU_FM4: 잘못된 명령 흐름 결과</li></ul>
-------------------	---

전문가의 판단에 따라 분석을 더 심도 있게 할 경우, CPU\_FM1을 다음과 같이 수정할 수 있음

- CPU\_FM1.1: 프로그램 카운터 정지로 인해 주어진 명령 흐름이 실행되지 않음 (전체 누락)
- CPU\_FM1.2: 명령 패치 중단으로 인해 명령 흐름이 실행되지 않음 (전체 누락)

# 5. 차량용 IC 고장 모드 도출 방안

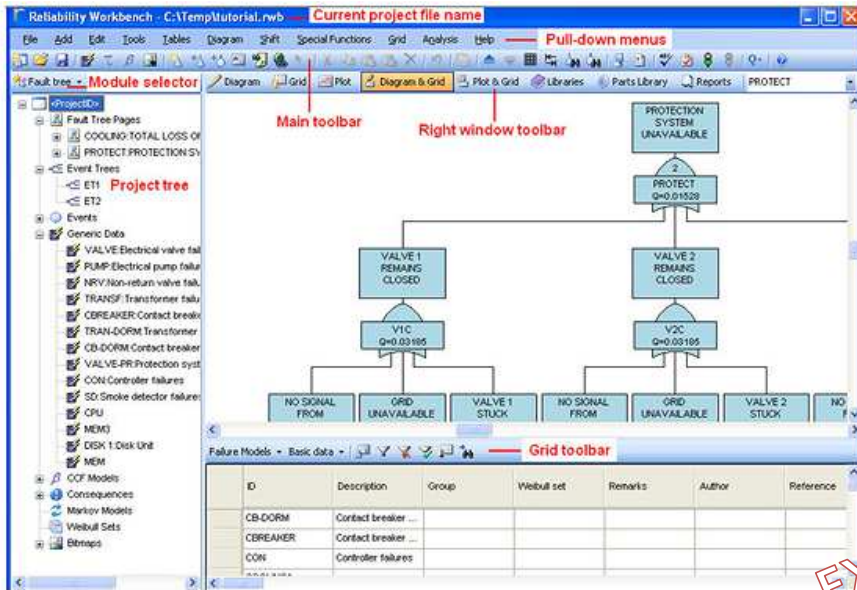
## 고장 모드 도출 방안



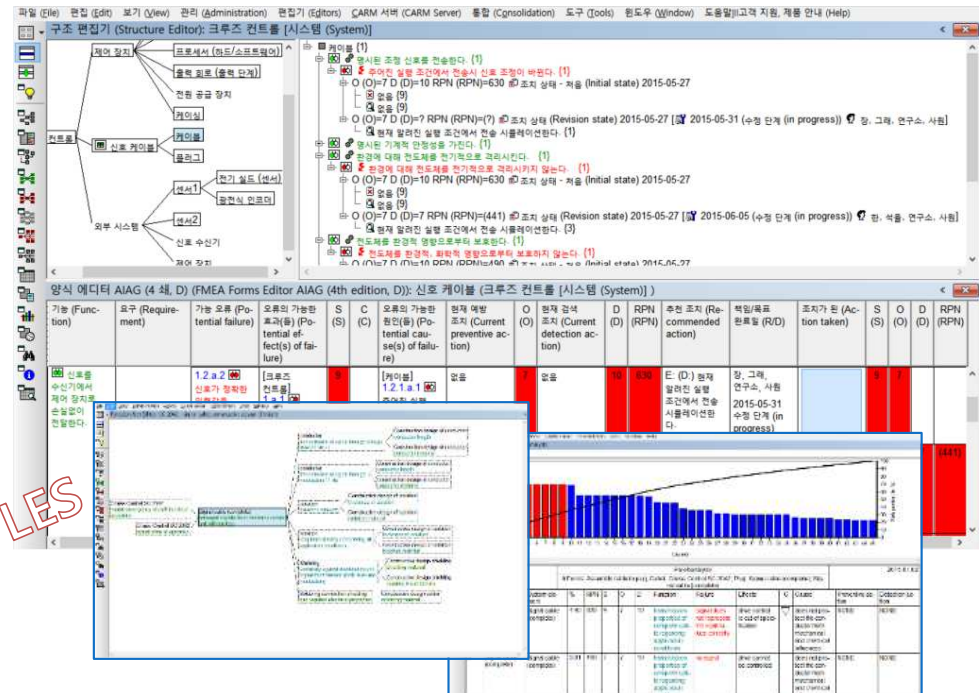
- 기능 상실 (작동 불능, 가치 미달)
- 부분 기능 (성능 손실)
- 기능 저하 (시간 경과에 따른 성능 손실)
- 초과 기능 (허용 가능한 기준 이상으로 동작)
- 간헐적 기능 (작업이 임의로 시작/중지/시작)
- 지연된 기능 (즉, 의도하지 않은 시간 간격 후에 작동)

AIAG, 2019, Types of Failure Modes, AIAG&VDA FMEA Handbook(June 2019)

### ISOGRAPH RWB Fault Tree+



### IQ-FMEA RM-PRO (APIS社)



## 6. 차량용 IC 고장 모드 분포율 산정 방안

### ■ 고장 모드 분포율

하드웨어 엘리먼트의 전체 고장을 중에서 하나의 고장 모드가 차지하는 비율

### ■ 고장 모드와 고장 모드 분포율의 예

이름	고장 모드	고장 모드 별 분포율 [%]
CPU	주어진 명령 흐름이 실행되지 않음 (전체 누락)	20
	의도하지 않은 명령 흐름 실행 (커미션)	15
	잘못된 명령 흐름 타이밍 (너무 일찍/늦음)	25
	잘못된 명령 흐름 결과	40

EXAMPLES

### ■ IC에 대한 고장 모드 분포율 산정 방안

#### ▣ Die 의 경우

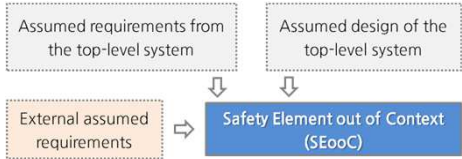
- 반도체 Die 를 구성하는 전체 면적에서 고장 모드에 해당하는 엘리먼트가 차지 하는 면적을 나눔으로써 이루어지거나,
- 반도체 Die 를 구성하는 전체 등가 게이트 개수 또는 등가 트랜지스터 개수에서 고장 모드에 해당하는 엘리먼트가 소비하는 등가 게이트 개수 또는 등가 트랜지스터 개수를 나눔으로써 얻어 짐.

#### ▣ Package 의 경우

- (비 안전 관련 핀 포함) 1/ 전체 핀 개수 핀당 고장율을 적용.

# 7. SPID 솔루션 서비스

## 차량용 반도체 개발 엔지니어링 및 프로세스 컨설팅 + 기능안전 반도체 교육



**BASE FAILURE RATE 2**  
 (ISO26262-11, 4.6.3.1.1), Table 3 applied)  
 적용사항: IEC TR 62380과 Mission Profile(자율 반입)를 참조하여 Base Failure Rate를 작성한다. 차량용 사용자 기입하여야 하는 항목이며, 노란색은 자동으로 계산 되는 항목이다.

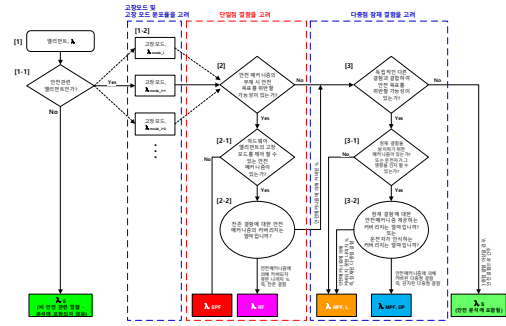
$$\lambda = \left[ \lambda_1 \times N \times e^{-0.35 \times \tau} \times \lambda_2 \times \left( \sum_{i=1}^n \tau_i \right) \times \tau_1 + 2.75 \times 10^{-3} \times \tau_p \times \left( \sum_{i=1}^n \tau_i \right) \times (\Delta T) \beta^{0.6} \right] \times \left( \frac{\tau_1 \times \lambda_{2025}}{\lambda_{2015}} \right) \times 10^{-9} / h$$

**1. Common Factor**

Select the Mission Profile: Passenger compartment

Manufacturing year: 2015 year  
 a (Year of manufacturing)-1998: 17

Package Information:  
 Which is table 17a or table 17b? And package type: Table 17b: Peripheral connections packages  
 Package name: PCLP  
 S (number of pins): 20  
 Pin pitch: 0.5 mm  
 Package Width: 20.0 mm  
 Package Length: 30.0 mm

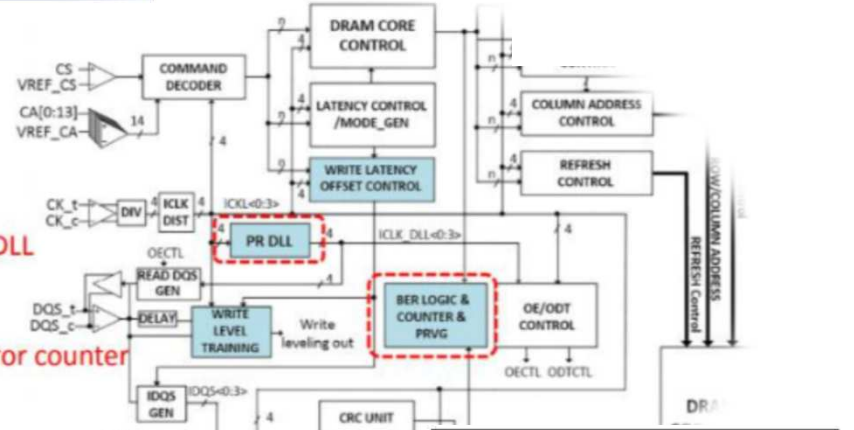
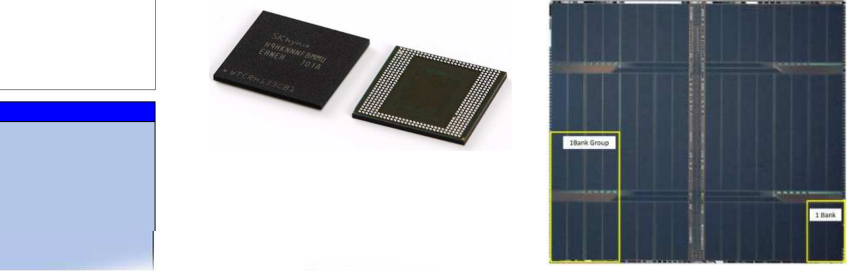


**FIT Allocation into Sub parts of Die**  
 적용사항: 각 Structure 별로 고정률을 할당한다. 이때 Total Area의 Base Failure Rate를 기준으로 FIT가 자동 계산된다. 예제의 경우 18개의 Analog/Digital Part 블록으로 구성되 예이다.

Type	technology	Sub Parts	Area of Sub Parts (mm²)	Area Ratio of Sub Parts (%)	IEC TR 62380	From Foundry Company
Analog Part	Silicon: MDS - Standard circuits Linear / digital circuits low voltage (<6V)	Voltage Regulator	0.0556	14.3%		
		Over/Under Monitor	0.0556	14.3%		
		LPF	0.0556	14.3%		
		OSC	0.0556	14.3%		
		BandGap	0.0556	14.3%		
Silicon: Bipolar Low voltage		AOC	0.0556	14.3%		
		Data Comparator	0.0556	14.3%		

ISO 26262 Results for Semiconductor	Expressions	Permanent Faults (Hard Error)	Transient Faults (Soft Error)	Single Point Faults (SPF)
(1) Total Failure Rate (Safe Related)	$\lambda$	7.99E+01 FIT	5.02E+01 FIT	8.11E+01 FIT
(2) Safe Faults	$\lambda_{sp}$	1.68E+02 FIT	0.02E+00 FIT	1.69E+02 FIT
(3) Single Point and Residual Faults	$\lambda_{sp} + \lambda_{sp}$	6.21E+00 FIT	1.02E+02 FIT	6.22E+00 FIT
(4) Detected Dual Point Faults	$\lambda_{dpp}$	2.83E+01 FIT	6.13E+00 FIT	3.44E+01 FIT
(5) Latent Dual Point Faults	$\lambda_{ldp}$	1.96E+01 FIT	4.09E+00 FIT	2.36E+01 FIT
(6) Total Dual Point Faults	$\lambda_{dpp}$	4.79E+01 FIT	1.02E+01 FIT	5.81E+01 FIT
(7) Single Point Fault Metric	$SPFM = 1 - (\lambda_{sp} + \lambda_{sp}) / \lambda$	93.2%	99.30%	93.2%
(8) Latent Fault Metric	$LFM = 1 - (\lambda_{ldp} / (\lambda - \lambda_{sp} - \lambda_{sp}))$	69.7%	60.0%	69.4%
(9) Mean Time To Dangerous Failure	$MTTF = 1 / (\lambda_{sp} + \lambda_{sp})$	1893 yrs	1116839 yrs	1893 yrs
(10) Mean Time To Failure	$MTTF = 1 / \lambda$	1611 yrs	11166 yrs	1468 yrs
(11) PMHF 1	$\lambda_{sp} + \lambda_{sp}$	6.21E+00 FIT	1.02E+02 FIT	6.22E+00 FIT
(12) Lifetime		10000 h	10000 h	10000 h
(13) PMHF 2	$\lambda_{sp} + \lambda_{sp} + \lambda_{dpp} + \lambda_{ldp} + \lambda_{dpp} \times \lambda_{ldp} \times T_{lifetime}$	6.22E+00 FIT	1.06E+02 FIT	6.28E+00 FIT



Chip summary	
Technology	1y-nm 4-metal DRAM process
Data Rate	6.4 Gbps/pin
IO configuration	X4/x8/x16
Burst length	BC8, BL16 on-the-fly
Chip area	76.22mm²
Supply voltage	VDD/VDDQ 1.1V, VPP 1.8V
RAS feature	In DRAM ECC
Equalize scheme	DVE/FFE

**ISO 26262**  
 Road Vehicles - Functional Safety



출처 : [https://quasarzone.co.kr/bbs/board.php?bo\\_table=qn\\_hardware&wr\\_id=242505](https://quasarzone.co.kr/bbs/board.php?bo_table=qn_hardware&wr_id=242505)